

弹性单端电流模式 PWM 控制器

ISL6722A 和 ISL6723A 是低功耗, 单端脉冲宽度调制 (PWM) 电流模式控制器适用于的多种 DC/DC 转换应用, 包括升压调节器, 反馈转换器以及隔离式输出配置。与 ISL6721 相似并且引脚兼容, ISL6722A 和 ISL6723A 提供了修改的功能集。ISL6722A 用能减少待机电流低于 200 μ A 的低功耗休止功能来取代原先的外部同步功能。ISL6723A 改变输入电压的欠压临界至 13V。另外, 两个控制器的内部过温保护也被去除。控制器的其余的功能没有改变, 并有包括当输入电流低于 200 μ A 时过流及过压故障切断的一个低功耗模式。内置 300ms 的延迟时钟能够避免当故障切断时控制器快速“打嗝”的表现。

这个先进的 BiCMOS 设计兼容了低工作电流, 可调振荡频率高达 1MHz, 以及可调软启动。

订购资料

零件号码	零件标号	温度范围 (°C)	包装	包装图号 #
ISL6722AABZ (Note)	6722AAB Z	-40 to 105	16 Ld SOIC (Pb-free)	M16.15
ISL6723AABZ (Note)	6723AAB Z	-40 to 105	16LD SOIC (Pb-free)	M16.15
ISL6722AAVZ (Note)	6722AAV Z	-40 to 105	16 Ld TSSOP (Pb-free)	M16.173

Add -T suffix to part number for tape and reel packaging.

NOTE: Intersil Pb-free products employ special Pb-free material sets; molding compounds/die attach materials and 100% matte tin plate termination finish, which are RoHS compliant and compatible with both SnPb and Pb-free soldering operations. Intersil Pb-free products are MSL classified at Pb-free peak reflow temperatures that meet or exceed the Pb-free requirements of IPC/JEDEC J STD-020.

主要特点

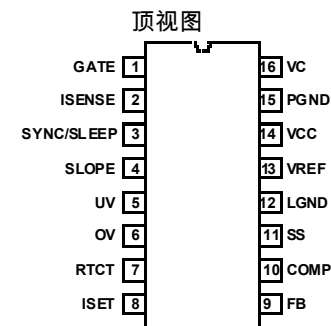
- 1A MOSFET 驱动器
- 100 μ A 启动电流
- 快速瞬变反应运用峰值电流控制模式
- 可调振荡频率高达 1MHz
- 低功耗的休止模式(ISL6722A)
- 低功耗的切断模式
- 过压及过流故障切断延迟再启动
- 可调斜率补偿
- 可调软启动
- 可调过流切断延迟
- 可调欠压和过压指示
- 上升边缘消隐
- 基准电压 1%容差
- 不含铅加退火, 以及 ELV, WEEE (RoHS Compliant)

应用

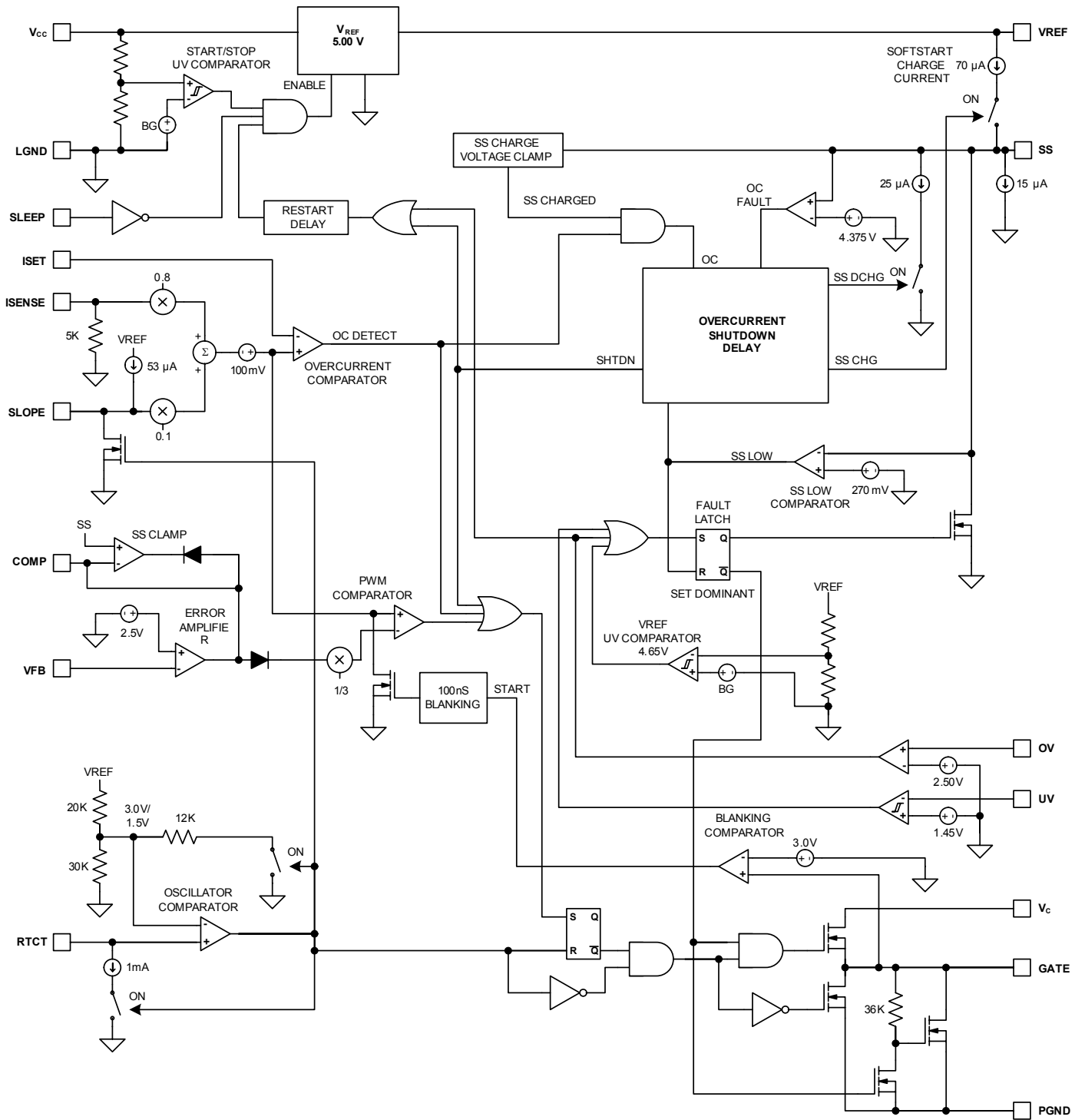
- 电信和信息电源
- 无线基站电源
- 档案服务器电源
- 工业动力系统
- 隔离式降压及反馈转换器
- 升压调节器

插脚引线

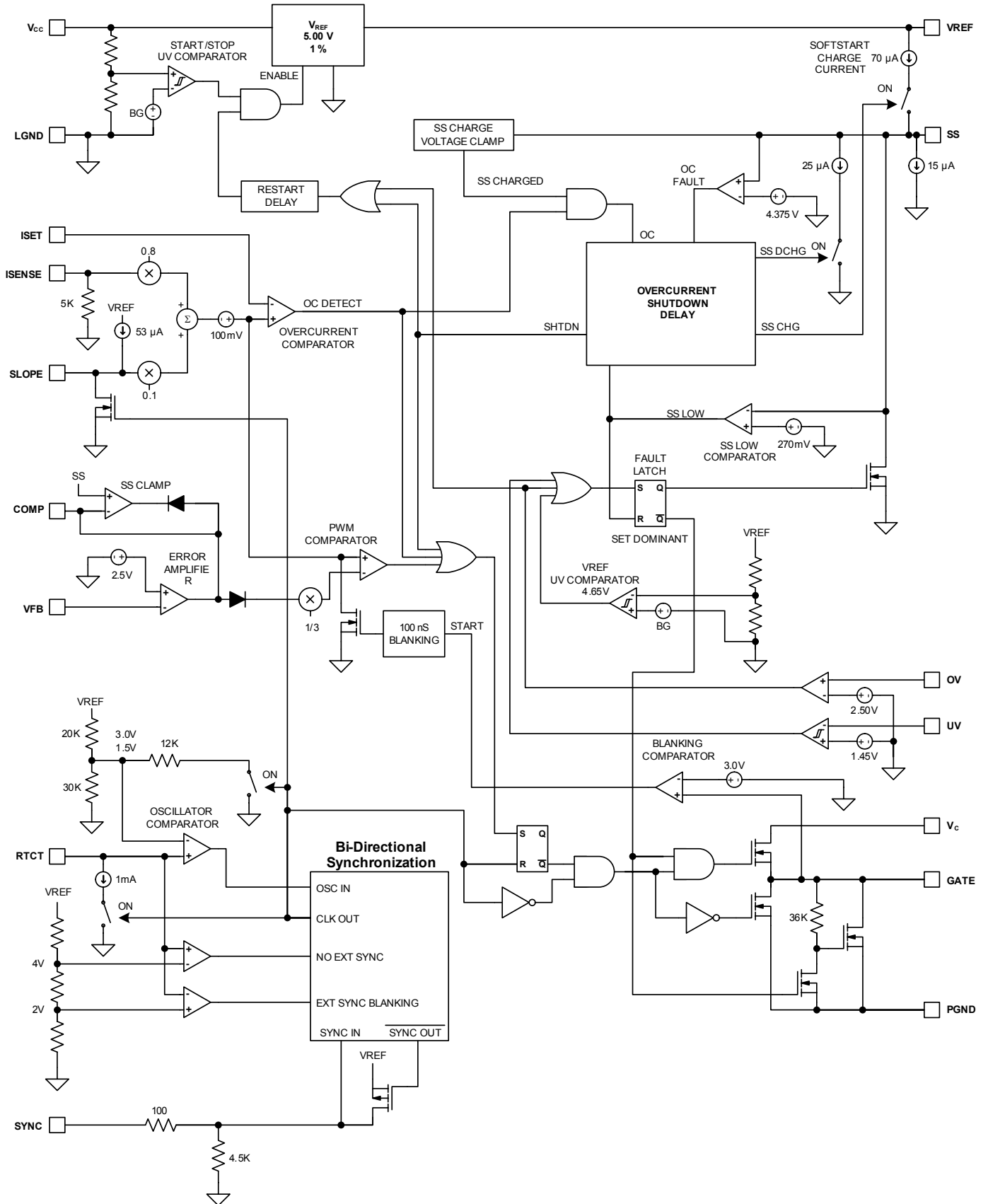
ISL6722A, ISL6723A (SOIC, TSSOP)



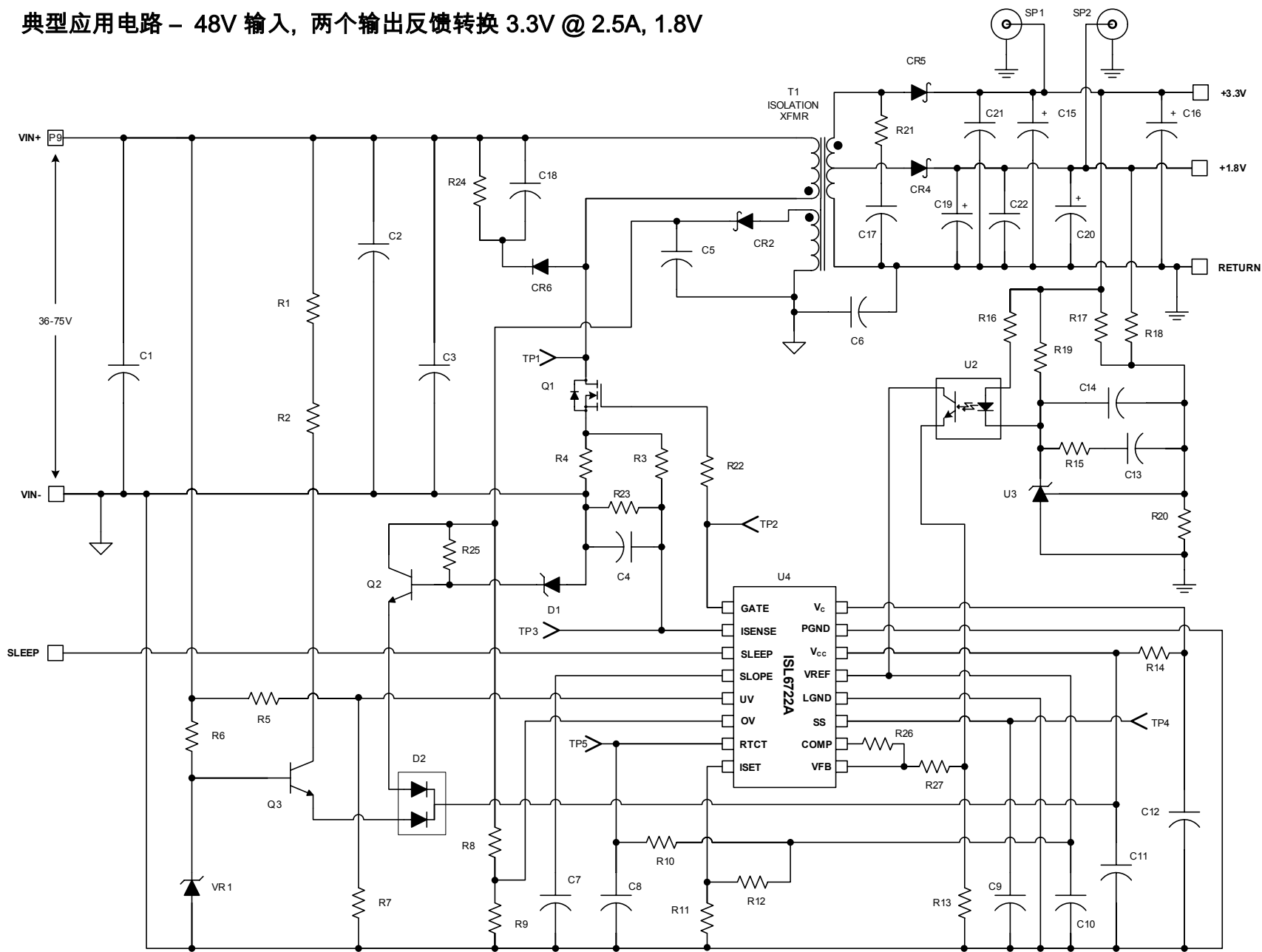
内部电路结构 (ISL6722A)



内部电路结构 (ISL6723A)



典型应用电路 - 48V 输入, 两个输出反馈转换 3.3V @ 2.5A, 1.8V



ISL6722A, ISL6723A

额定值

Supply Voltage, V_{CC} , V_C -----GND – 0.3V to +20.0V
 GATE -----GND – 0.3V to Gate Output Limit Voltage
 PGND to LGND----- \pm 0.3V
 VREF -----GND – 0.3V to 5.3V
 Signal Pins -----GND – 0.3V to V_{REF}
 Peak GATE Current----- 1A
 ESD Classification
 Human Body Model (Per JESD22-A114C.01)-----1250V
 Charged Device Model (Per JESD22-C101-A)-----1000V

运行条件

Supply Voltage Range (Typical)-----9V-18VDC
 Temperature Range
 ISL6722AAxZ ----- -40°C to 105°C
 ISL6723AAxZ----- -40°C to 105°C

热性能的资料

Thermal Resistance Junction to Ambient (Typical) θ_{JA} (°C/W)
 16 Lead SOIC (Note 1)-----80
 16 Lead TSSOP (Note 1)-----105
 Maximum Junction Temperature -----55°C to 150°C
 Maximum Storage Temperature Range-----65°C to 150°C
 Maximum Lead Temperature (Soldering 10s)-----300°C
 (SOIC, TSSOP – Lead Tips Only)

CAUTION: Stress above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational section of this specification is not implied.

Notes:

- θ_{JA} is measured with the component mounted on a low effective thermal conductivity test board in free air. See Tech Brief TB379 for details.
- All voltages are with respect to GND.

电气规范		Electrical Specifications			
Recommended Operating Conditions, Unless Otherwise Noted. Refer to Block Diagram and Typical Application Schematic.					
9V < V_{CC} = V_C < 20V, R_T = 11k Ω , C_T = 330pF, T_A = -40°C to 105°C (Note 3), Typical values are at T_A = 25°C (Continued)					
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
UNDERVOLTAGE LOCKOUT					
START Threshold (ISL6722A)	SLEEP = 0V	7.95	8.25	8.55	V
START Threshold (ISL6723A)		12.4	13	13.4	V
STOP Threshold		7.4	7.7	8.2	V
Hysteresis (ISL6722A)		0.50	0.55	1.00	V
Hysteresis (ISL6723A)		4.00	5.00	6.00	V
Start-Up Current, I_{CC}	V_{CC} < START Threshold	-	100	175	μ A
OC/OV Fault Operating Current, I_{CC}		-	200	300	μ A
Operating Current, I_{CC}		-	4.5	10.0	mA
Operating Supply Current, I_C	Includes 1nF GATE loading	-	8.0	12.0	mA
REFERENCE VOLTAGE					
Overall Accuracy	Line, load, T_A = 0 - 105°C	4.95	5.00	5.05	V
	Line, load, T_A = -40 - 105°C	4.90	5.00	5.05	V
Long Term Stability	T_A = 125°C, 1000 hours (Note 5)	-	5.00	-	mV
Fault Voltage		4.50	4.65	4.75	V
VREF Good Voltage		4.65	4.8	4.95	V
Hysteresis		75	165	250	mV
Operational Current		-10	-	-	mA
Current Limit		-20	-	-	mA
CURRENT SENSE					
Input Impedance		-	5	-	k Ω

ISL6722A, ISL6723A

Electrical Specifications

电气规范

Recommended Operating Conditions, Unless Otherwise Noted. Refer to Block Diagram and Typical Application Schematic.

$9V < V_{CC} = V_C < 20V$, $R_T = 11k\Omega$, $C_T = 330pF$, $T_A = -40^\circ C$ to $105^\circ C$ (Note 3), Typical values are at $T_A = 25^\circ C$ (Continued)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Offset Voltage		0.08	0.10	0.11	V
Input Voltage Range		0	-	1.5	V
Blanking Time	(Note 5)	30	60	100	ns
Gain, A_{CS}	$V_{SLOPE} = 0V$, $V_{FB} = 2.3V$, $V_{ISET} = 0.35V$, $1.5V$ $A_{CS} = \Delta ISET / \Delta ISENSE$	0.77	0.79	0.81	V/V
ERROR AMPLIFIER					
Open Loop Voltage Gain	(Note 5)	60	90	-	dB
Gain-Bandwidth Product	(Note 5)	-	15	-	MHz
Reference Voltage Initial Accuracy	$V_{FB} = COMP$, $T_A = 25^\circ C$ (Note 5)	2.465	2.515	2.565	V
Reference Voltage	$V_{FB} = COMP$	2.44	2.515	2.590	V
COMP to PWM Gain, A_{COMP}	$COMP = 4V$, $T_A = 25^\circ C$	0.31	0.33	0.35	V/V
COMP to PWM Offset	$COMP = 4V$	0.51	0.75	0.88	V
FB Input Bias Current	$V_{FB} = 0V$	-2	0.1	2	μA
COMP Sink Current	$COMP = 1.5V$, $V_{FB} = 2.7V$	2	6	-	mA
COMP Source Current	$COMP = 1.5V$, $V_{FB} = 2.3V$	-0.25	-0.5	-	mA
COMP VOH	$V_{FB} = 2.3V$	4.25	4.4	5.0	V
COMP VOL	$V_{FB} = 2.7V$	0.4	0.8	1.2	V
PSRR	Frequency = 120Hz (Note 5)	60	80	-	dB
SS Clamp, V_{COMP}	$SS = 2.5V$, $V_{FB} = 0V$, $I_{SET} = 2V$	2.4	2.5	2.6	V
OSCILLATOR					
Frequency Accuracy		289	318	347	kHz
Frequency Variation with VCC	$T_A = 105^\circ C$ ($F_{20V} - F_{9V}$)/ F_{9V}	-	2	3	%
	$T_A = -40^\circ C$ ($F_{20V} - F_{9V}$)/ F_{9V}		2	3	
Temperature Stability	(Note 5)	-	8	-	%
Maximum Duty Cycle	(Note 6)	68	75	81	%
Comparator High Threshold		-	3.00	-	V
Comparator High Threshold w/Ext. SYNC (ISL6723A)	(Note 5)	-	4.00	-	V
Comparator Low Threshold		-	1.50	-	V
Discharge Current	$T_A = 0 - 105^\circ C$	0.75	1	1.2	mA
	$T_A = -40 - 105^\circ C$	0.70	1	1.2	
SOFTSTART					
Charging Current	$SS = 2V$	-40	-55	-70	μA
Charged Threshold Voltage		4.26	4.5	4.74	V
Initial Overcurrent Discharge Current	Sustained OC Threshold < SS < Charged Threshold	30	40	55	μA

ISL6722A, ISL6723A

Electrical Specifications

电气规范

Recommended Operating Conditions, Unless Otherwise Noted. Refer to Block Diagram and Typical Application Schematic.

$9V < V_{CC} = V_C < 20V$, $R_T = 11k\Omega$, $C_T = 330pF$, $T_A = -40^\circ C$ to $105^\circ C$ (Note 3), Typical values are at $T_A = 25^\circ C$ (Continued)

Overcurrent Shutdown Threshold Voltage	Charged Threshold minus, $T_A = 25^\circ C$	0.110	0.125	0.140	V
Fault Discharge Current	SS = 2V	0.25	1.0	-	mA
Reset Threshold Voltage	$T_A = 25^\circ C$	0.22	0.27	0.31	V
SLOPE COMPENSATION					
Charge Current	SLOPE = 2V, $T_A = 0 - 105^\circ C$	-45	-53	-65	μA
	$T_A = -40 - 105^\circ C$	-41	-53	-65	μA
Slope Compensation Gain	Fraction of slope voltage added to ISENSE, $T_A = 25^\circ C$	0.1	0.103	0.107	V/V
Discharge Voltage	$V_{RTCT} = 4.5V$	-	0.1	0.2	V
GATE OUTPUT					
Gate Output Limit Voltage	$V_C = 20V$, $C_{GATE} = 1nF$, $I_{OUT} = 0mA$	11.0	13.5	16.0	V
Gate VOH	$V_C - GATE$, $V_C = 10V$, $I_{OUT} = 150mA$	-	1.5	2.2	V
Gate VOL	GATE - PGND, $I_{OUT} = 150mA$		1.2	1.5	V
	$I_{OUT} = 10mA$		0.6	0.8	
Peak Output Current	$V_C = 20V$, $C_{GATE} = 1nF$ (Note 5)	-	1	-	A
Output "Faulted" Leakage	$V_C = 20V$, UV = 0V, GATE = 2V	1.2	2.6	-	mA
Rise Time	$V_C = 20V$, $C_{GATE} = 1nF$ $1V < GATE < 9V$	-	60	100	ns
Fall Time	$V_C = 20V$, $C_{GATE} = 1nF$ $1V < GATE < 9V$	-	15	40	ns
Minimum ON time	$I_{SET} = 0.5V$; $V_{FB} = 0V$; $V_C = 11V$ ISENSE to GATE w/10:1 Divider R_{TCT} = 4.75V through 1k Ω (Note 5)	-	-	110	ns
OVERCURRENT PROTECTION					
Minimum ISET Voltage		-	-	0.35	V
Maximum ISET Voltage		1.2	-	-	V
ISET Bias Current	$V_{ISET} = 1.00V$	-1	-	1	μA
Restart Delay	$T_A = 25^\circ C$	150	295	445	ms
OV & UV VOLTAGE MONITOR					
Overvoltage Threshold		2.4	2.5	2.6	V
Undervoltage Fault Threshold		1.38	1.45	1.52	V
Undervoltage Clear Threshold		1.41	1.53	1.62	V
Undervoltage Hysteresis Voltage		20	50	100	mV
UV Bias Current	$V_{UV} = 2.00V$	-1	-	1	μA
OV Bias Current	$V_{OV} = 2.00V$	-1	-	1	μA

ISL6722A, ISL6723A

Electrical Specifications

电气规范

Recommended Operating Conditions, Unless Otherwise Noted. Refer to Block Diagram and Typical Application Schematic.

$9V < V_{CC} = V_C < 20V$, $R_T = 11k\Omega$, $C_T = 330pF$, $T_A = -40^\circ C$ to $105^\circ C$ (Note 3), Typical values are at $T_A = 25^\circ C$.

SLEEP (ISL6722A)					
SLEEP Input Threshold Voltage	Active High	1	1.5	2.7	V
SLEEP Input Current	$V_{SLEEP} = 4.0V$	11	25	46	μA
I_{CC} @ SLEEP	$V_{CC} = 15V$	-	175	210	μA
SYNCHRONIZATION (ISL6723A)					
Input High Threshold		-	-	2.5	V
Input Pulse Width		25	-	-	ns
Input Frequency Range	(Note 5)	0.65x Free Running	-	1	MHz
Input Impedance		-	4.5	-	$k\Omega$
VOH	$R_{LOAD} = 4.5k\Omega$	2.5	-	-	V
VOL	$R_{LOAD} = \text{open}$	-	-	0.1	V
SYNC Advance	SYNC rising edge to GATE falling edge, $C_{GATE} = C_{SYNC} = 100pF$	-	25	55	ns
Output Pulse Width	$C_{SYNC} = 100pF$	50	-	-	ns

NOTES:

3. Specifications at $-40^\circ C$ and $105^\circ C$ are guaranteed by $25^\circ C$ test with margin limits.
4. This is the V_{CC} current consumed when the device is active but not switching. Does not include gate drive current.
5. Guaranteed by design, not 100% tested in production.
6. This is the maximum duty cycle achievable using the specified values of R_T and C_T . Larger or smaller maximum duty cycles may be obtained using other values for R_T and C_T . See Equations 1-4.

典型性能曲线图

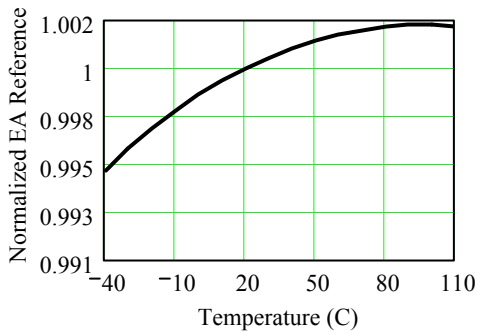


FIGURE 1 EA REFERENCE VOLTAGE vs TEMPERATURE

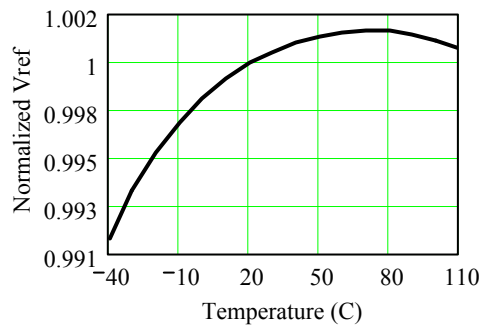


FIGURE 2 V_{REF} REFERENCE VOLTAGE vs TEMPERATURE

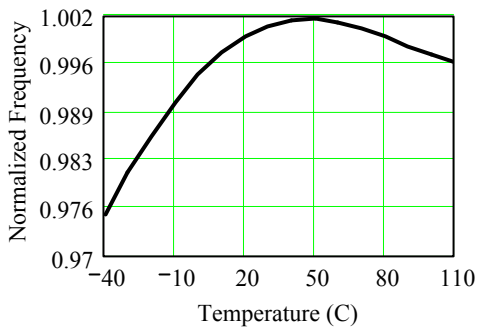


FIGURE 3 OSCILLATOR FREQUENCY vs TEMPERATURE

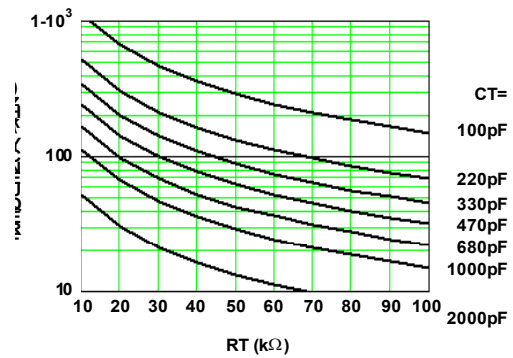


FIGURE 4 CAPACITANCE vs FREQUENCY

各管脚简介

SLOPE

每一个开关周期，内置的电流源会充电一个外部电容。由此产生的斜升转换后与ISENSE信号叠加。可以用这个方法来提高ISENSE斜升率，为提高无噪音的免疫力或是提高对于占空比大于50%的控制环路的稳定性。

SLEEP (ISL6722A)

这是一个逻辑输入控制信号可以用来禁止控制器以及启动低功耗待机模式。SLEEP是高态有效信号。

SYNC (ISL6723A)

双向同步信号是用来协调多系统的工作频率。通过连接每个单元的SYNC引脚在一起或者利用外界主控时钟可以取得同步。即使使用外界主控时钟，振荡器的定时电容， C_T ，也是必须使用的。第一个取得这个信号的单元将起主导控制作用。

RTCT

这是振荡器的时序控制引脚。工作频率和最大占空比可用在这个引脚和 V_{REF} 之间跨接一个电阻， R_T ，以及在这个引脚和LGND之间跨接一个电容， C_T 来决定。这个振荡器能产生100KHz至1.0MHz的锯齿波型。充电时间， T_C ，放电时间， T_D ，开关频率， F_{SW} ，以及最大占空比， D_{MAX} ，可以用以下的等式来求：

$$T_C \approx 0.655 \cdot R_T \cdot C_T \quad S \quad \text{EQ. 1}$$

$$T_D \approx -R_T \cdot C_T \cdot LN\left(\frac{0.001 \cdot R_T - 3.6}{0.001 \cdot R_T - 1.9}\right) \quad S \quad \text{EQ. 2}$$

$$F_{SW} = \frac{1}{T_D + T_C} \quad \text{Hz} \quad \text{EQ. 3}$$

$$D_{max} = T_C \cdot F_{SW} \quad \text{EQ. 4}$$

图4可以用来选择一个已知频率的电容和电阻值。

COMP

COMP引脚是误差放大器的输出端以及PWM比较器的输入端。控制环路频率补偿网络跨接在COMP引脚与FB引脚之间。

ISL6722A和ISL6723A具备内置全周期软启动功能。软启动是通过最大COMP电压钳位来实现的。

FB

反馈电压输入端与误差放大器的反相输入端连接。误差放大器的同相输入端与内置基准电压连接。

OV

这个引脚是过压监视输入端。这个信号与内置的2.5V基准电压作比较来检测过压状况。

UV

这是欠压监察输入引脚。UV信号与内置 1.45V限值比较决定其欠压条件。

ISENSE

这是电流感应比较器的输入端。这个控制器有两个电流感应比较器，一个PWM比较器用作峰值电流控制模式，一个过流保护比较器。过流保护比较器的临界值可以通过ISET引脚来设置。

超过过流临界将引发延迟的切断过程。一旦过流状况被检测，软启动的充电源会被抑制，而软启动电容开始放电。放电至少于4.375V时(持续过流临界)，切断产生并且门极输出将会被拉低。当软启动电压达到0.27V时(重设临界)，软启动将开始。如果在50 μ s时间内软启动电容没有跌落低于4.375V(持续过流临界)，过流情况消除，切断不会发生，软启动电压复位。

LGND

器件上所有模拟功能都以这个小信号基准为地。

PGND

这个引脚为门极驱动器提供专门的接地。LGND 引脚与PGND 引脚必须用与引脚很近并且很短的PCB线迹在控制器的外面相连。这对于防止巨大的开关电流流经控制器内部的接地面是相当有必要的(从 V_C 到PGND跨接一个低ESR的0.1 μ F或更高的电容来去耦)。

GATE

这是芯片的输出端，是一个高电流功率驱动器可以用来以峰值为1A的电流驱动一个功率MOSFET。这个驱动器的输出端将被拉低当 V_{CC} 低于其欠压临界值。

输出端的钳位电压是~13.5V。高于这个电压值不可以与GATE引脚直接连接。为了防止过冲或下冲电压，每个输出端提供非常低的阻抗。

V_C

这个引脚是为门极驱动输出提供分开的集电极电源。把 V_C 和PGND分开能帮助芯片的模拟电路与高功率的门极驱动噪声去耦。(从 V_C 到PGND跨接一个低ESR的0.1 μ F或更高的电容来去耦)。

V_{CC}

V_{CC} 是控制器的电源输入端。虽然静态电流, I_{CC} , 很小, 但是它与频率有直接的关系。要优化抗扰度, 用一个陶瓷电容器尽可能靠近并跨接在 V_{CC} 和LGND引脚。

总电源电流, (I_C 加上 I_{CC}), 取决于门极负载状况, 将会更高。总电流是静态电流和平均门极输出电流之和。平均门极输出电流的大小取决于已知工作频率 F_{SW} , 以及MOSFET门极输出负载电容电荷, Q_g , 可以用以下的公式来计算:

$$I_{gate} = Q_g \cdot F_{SW} \quad A \quad \text{EQ. 5}$$

VREF

这是5.00V的基准电压输出端。可连接0.01 μ F或更高的电容至LGND以作滤波这输出所需。使用电容小于这个值可能会引起振荡。

SS

在这个引脚与LGND之间连接一个软启动时序电容能够控制软启动的时间。这个电容值能够决定在软启动时占空比上升的速度, 控制过流切断的延迟。

ISET

在这个引脚上0.35V至1.2VDC电压可以用来设置脉冲-脉冲过流临界。当过流发生时, SS软启动电容将开始放电并开始过流延迟关闭的过程。

功能概述

主要特点

ISL6722A和ISL6723A电流模式PMW最适用于采用了加强控制和监督能力的低成本反激和正激型拓扑结构的变换器。ISL6722A和ISL6723A具有可调过压和欠压门限, 过流保护, 间歇延迟的性能, 需要极少外部元件。其它性能包括: 峰值电流模式控制, 可调软启动, 斜率补偿, 可调振荡器频率和低功率静态模式。

振荡器

ISL6722A和ISL6723A通过改变RTCT引脚的电阻和电容可调锯齿振荡器频率高达1MH。(指定频率的电阻和电容请参考图4)。

实现同步操作 (ISL6723A)

ISL6723A 可在 SYNC 引脚设置一外部时钟或通过把多重 IC 的 SYNC 引脚连接在一起来实现同步化。如果用外部主时钟信号, 振荡器必须至少有 65%的 IC 固有频率才可实现同步化。外部主时钟信号应有一大于 20ns 的脉宽。如果不用主时

钟信号, 主要元件 SYNC 采用 SYNC 信号控制。如果信号产生于前 1/3 的开关周期, 可忽略外部 SYNC 脉冲。

在正常运行情况下, RTCT 电压充电由 1.5 至 3.0V, 周期循环。当到达 3.0V 门限值时就会产生时钟和 SYNC 信号。若在后 2/3 的充电周期内检测出外部时钟信号, 振荡器会转换成外部同步模式, 且根据外部 SYNC 信号来终止振荡器周期。此模式是不会产生 SYNC 信号。如果 RTCT 电压超过 4.0V (换言之: 没有外部的 SYNC 信号终止周期), 振荡器会回复到内部时钟模式且会产生 SYNC 信号。

实现软启动运作

ISL6722A 和 ISL6723A 使用外部电容和内部电流电源来作软启动。软启动降低启动期间的电压和浪涌电流。

启动时, 软启动电路把误差放大器输出 (COMP 引脚) 钳位于一个与软启动电压相应的值。误差放大器输出随着软启动电容电压增加而增加, 这使软启动期间的输出脉宽可从零增加到稳定状态运行时的占空比。当软启动电压超过误差放大器电压, 软启动完成。软启动强制受控输出电压上升。软启动开始于启动或因故障而复位时。软启动电压钳位于 4.5V。

门极驱动器

ISL6722A和ISL6723A的输出可灌出和吸入1A峰值电流。独立集成供应 (VC) 和功率地 (PGND) 引脚可把大功率门极驱动器噪音隔离开IC的模拟电路。要限制峰值电流通过IC, 可在IC (门极引脚) 的推拉输出和MOSFET的门极之间放置一个外部电阻。而这个小的串联电阻能减少由线组寄生电感和驱动器的输入电容的共振所产生的振荡。

斜率补偿

对于最大占空比少于50%的应用可采用斜率补偿来改善噪音干扰, 尤其是在较低负载时。防止噪音干扰所需的斜率补偿额可以凭经验确定, 但一般约为10%的总电流反馈信号。对于最大占空比高于50%的应用则需用斜率补偿防止不稳定。斜率补偿是通过加接额外斜坡以调整电流反馈信号的一种方法。

最小斜坡补偿应相当于1/2的电感下坡。可是, 加接过多的斜率补偿会导致控制环表现为电压模式控制多于电流模式控制。

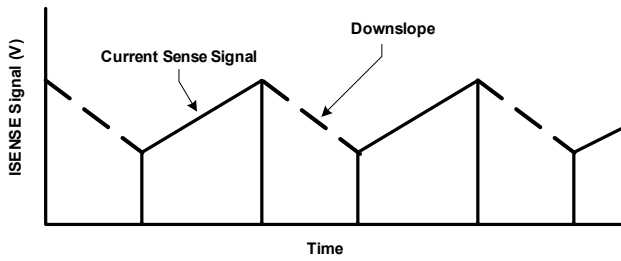


Figure 5

加在SLOPE引脚的最小电容值为

$$C_{slope} = 4.24 \times 10^{-6} \cdot \frac{t_{on}}{V_{slope}} \quad \text{F} \quad \text{EQ. 6}$$

式中： t_{on} 是导通时间， V_{slope} 是加在电流反馈信号作为斜坡补偿的电压值。大致上斜坡值是所需最小值的2-3倍。

例如：

假设在关断期间，ISENSE引脚的电感电流信号降低125mV，且开关频率，Switching Frequency, $F_{sw} = 250\text{kHz}$

占空比，Duty Cycle, $D = 60\%$

$$t_{on} = D/F_{sw} = 0.6/250\text{E}3 = 2.4\mu\text{s}$$

$$t_{off} = (1 - D)/F_{sw} = 1.6\mu\text{s}$$

确定下坡：

下坡 = $0.125\text{V}/1.6\mu\text{s} = 78\text{mV}/\mu\text{s}$ 。现确定导通时间末端电感感应信号所需增加的电压值。

$$V_{slope} = \frac{1}{2} \cdot 0.078 \cdot 2.4 = 94\text{mV} \quad \text{EQ. 7}$$

因此，

$$C_{slope(\text{min})} = 4.24 \times 10^{-6} \cdot \frac{2.4 \times 10^{-6}}{0.094} \approx 110\text{pF} \quad \text{EQ. 8}$$

所计算出的值，110pF，为所需的最小斜坡补偿。此例中适当的斜坡补偿电容应为所得值的1/2-1/3，即68-33pF之间。

较精确的斜坡补偿可从小信号电流模式的模型[1]求得。它显示了自然抽样调制器的增益。 F_m ，无斜率补偿，是

$$F_m = \frac{1}{S_n \cdot T_{sw}} \quad \text{EQ. 9}$$

式中： S_n 是锯齿信号的斜率。 T_{sw} 是开关频率。若加接一外部斜坡，调制器的增益则为

$$F_m = \frac{1}{(S_n + S_e) \cdot T_{sw}} = \frac{1}{m_c S_n T_{sw}} \quad \text{EQ. 10}$$

式中： S_e 是外部斜坡的斜率以及

$$m_c = 1 + \frac{S_e}{S_n} \quad \text{EQ. 11}$$

50%的振荡器频率的双极阻尼系数决定外部斜坡的基准额。若Q系数设置为1，双极会临界阻尼； $Q > 1$ 时，欠阻尼； $Q < 1$ 则会过阻尼。欠阻尼会引起电流环不稳定。

$$Q = \frac{1}{\pi(m_c(1-D) - 0.5)} \quad \text{EQ. 12}$$

式中： D 是最大占空比。设定 $Q = 1$ ，求得 S_e 为

$$S_e = S_n \left(\left(\frac{1}{\pi} + 0.5 \right) \frac{1}{1-D} - 1 \right) \quad \text{EQ. 13}$$

因为 S_n 和 S_e 分别是电流斜坡和外部斜坡导通时的斜率，与导通时间(T_{ON})之积是导通时间(T_{ON})内所产生的电压变化。

$$V_e = V_n \left(\left(\frac{1}{\pi} + 0.5 \right) \frac{1}{1-D} - 1 \right) \quad \text{EQ. 14}$$

式中： V_n 是导通时间内电流反馈信号的变化， V_e 是加外部斜坡所增加的电压。

对于降压拓扑结构，用输出电压，电流传感器元件和输出电感可求出 V_n ，代入等式15，可求出 V_e 。

$$V_e = \frac{T_{sw} \cdot V_o \cdot R_{cs}}{N_{CT} \cdot L_o} \cdot \frac{N_s}{N_p} \left(\frac{1}{\pi} + D - 0.5 \right) \quad \text{EQ. 15}$$

式中： R_{CS} 是电流感应电阻， N_{CT} 是电流变压器变比， L_o 是输出电感， V_o 是输出电压，而 N_s 和 N_p 分别是副边和原边线圈。

对于反激型拓扑结构，用输出电压，电流传感器元件和原边电感可求出 V_n ，代入等式16，可求出 V_e 。

$$V_e = \frac{T_{sw} \cdot V_o \cdot R_{cs}}{N_{CT} \cdot L_p} \cdot \frac{N_p}{N_s} \left(\frac{1}{\pi} + D - 0.5 \right) \quad \text{V} \quad \text{EQ. 16}$$

式中： R_{CS} 是电流感应电阻， N_{CT} 是电流变压器变比， L_p 是原边电感， V_o 是输出电压，而 N_s 和 N_p 分别是副边和原边线圈。如果不采用电流变压器，则 $N_{CT} = 1$ 。

为讨论之用，会更深入地论述反激型拓扑结构。而降压拓扑结构的论述可见ISL6753的数据资料。

原边电流通过电流感应变压器的反射而在电流感应电阻上产生的电流感应信号为，

$$V_{CS} = \frac{R_{CS}}{N_{CT}} \left(I_o \cdot \frac{N_s}{N_p} + \frac{(1-D) \cdot V_o \cdot T_{sw}}{2L_p} \cdot \frac{N_p}{N_s} \right) \quad \text{V} \quad \text{EQ. 17}$$

式中： V_{CS} 是横跨电流感应电阻的电压， I_o 是输出电流的门限值。

由于峰值电流门限值是取决于 I_{SET} ，若输出负载为此电流门限值，总电流反馈信号和外部斜坡电压必须加到这个伏数。

$$V_e + (V_{CS} \cdot 0.8) + 0.100 = ISET \quad \text{EQ. 18}$$

式中包括内部增益和IC的失调电压。把等式15和17代入等式18可求得RCS值

$$R_{CS} = \frac{(ISET - 0.1) \cdot N_{CT}}{\frac{T_{SW} \cdot V_O \cdot N_P}{L_P \cdot N_S} \cdot \left(\frac{1}{\pi} + 0.6D - 0.1\right) + 0.8I_O \cdot \frac{N_S}{N_P}} \quad \text{EQ. 19}$$

即ISL6722A和ISL6723A用SLOPE输入实现的斜率补偿。用等式16确定 V_e 值,再乘以10就是SLOPE输入所需的电压。

$$C_{SLOPE} = \frac{I_{SLOPE} \cdot T_{on}}{V_e \cdot 10} \quad \text{EQ. 20}$$

式中ISLOPE是SLOPE的内部充电电流,典型值为53 μ A。

过压和欠压监控

OV和UV信号是窗口比较器的输入,用来监控变换器输入电压平。若电压跌落至超出指定的操作范围就会引起关断故障。过压 (OV) 故障,在约295ms复位时间内ICC供应电流降低至200 μ A。若故障清除,一个软启动周期将重新运作。否则会产生另一个关断周期。欠压 (UV) 状况也会导致关断故障,但元件不会进入低功率模式和故障清除时不会发生重启延迟。

Vin和LGND间的电阻分割器的每个输入决定工作阀。欠压 (UV)门限有一个75mV的固定迟滞。

过流运作

过流门限根据ISET引脚的供应电压来设定。从VREF到LGND用一电阻分压器来设定过流门限。ISET门限应设在相应于所要峰值输出电感电流加上斜率补偿迭加效应的水平。

软启动周期完成后,过流延迟关断保护才启动。如果检测到过流情况,软启动充电电流电源就会中止,启动放电电流电源。软启动电容通过40 μ A电源放电。过流情况停止后,在50 μ s时间内,如果软启动电容由4.5V放电至4.375V,输出停止且软启动电容放电。输出持续停止而ICC电流在约295ms内会跌落至200 μ A。然后开始新的软启动周期。过流 (OC) 保护的关断和重启通常视为因重复启动和关断的间歇运作。

如果在软启动电压降至的4.375V前,且过流情况停止至少50 μ s,软启动充电和放电电流会恢复正常运行,软启动电压会复位。

通过设定ISET的电压为超过误差放大器电流控制电压或约1.5V就不会产生间歇过流 (OC) 保护。

图6显示了软启动期间的过流状态。ISENSE'表示输入到过流比较器的ISENSE值。

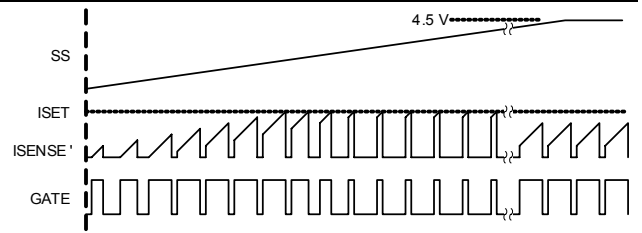


FIGURE 6 PULSE-BY-PULSE OC BEHAVIOR DURING SS

尽管存在过流情况,在软启动(SS)周期完成前不会发生关断。在软启动周期内只有峰值电流限制运作。如果软启动周期完成后仍存在过流情况,就会启动延迟过流关断,如下图7所示。

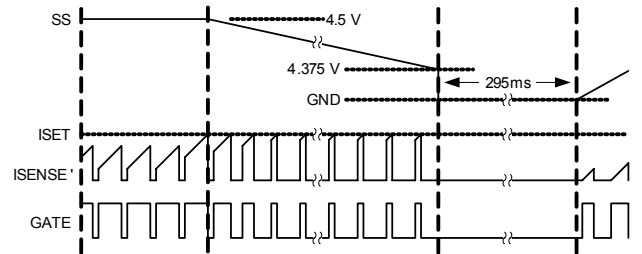


FIGURE 7 OC SHUTDOWN BEHAVIOR

如果关断前过流情况停止,软启动电压则会复位。如图8所示。当负载降低低于过流门限值且在50 μ s时间内软启动电容没有跌落低于4.375V,过流情况会消除,软启动电压复位。

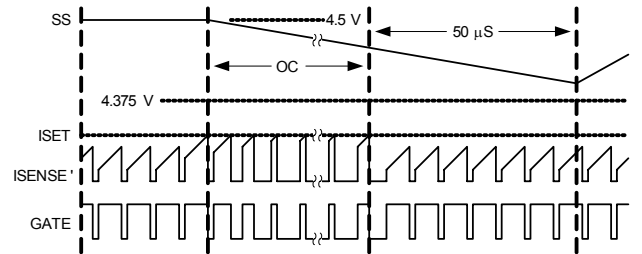


FIGURE 8 OC RECOVERY PRIOR TO SHUTDOWN

上升沿封锁

用上升沿封锁电路可消除ISENSE最初100ns的电流反馈信号输入。当门极 (GATE) 输出上升沿超过3.0V时开始封锁周期。上升沿封锁可防止因寄生元素而产生尖峰电流所引起PWM比较器和过流比较器的错误触发。

故障状况

如果VREF跌落低于4.65V,OV输入超过2.50V,或UV输入跌落低于1.45V就会发生故障状况。检测到故障时,GATE输出就会截止且软启动电容会迅速地放电。当故障清除后以及软启动电压低于复位临时时,一个软启动周期将重新运作。

接地要求

为使这个器件能理想地工作，应该要仔细布局。特别是应用一个好的接地面，部分的接地面必须设只高di/dt电流输出。功率地 (PGND) 与逻辑接地 (LGND) 分开连接在一单点。V_C应以一个的高频电容直接旁接到地PGND。输入功率的回路连接和主输入电容应连接于PGND。

参考设计

ISL6722A典型应用于传统双端输出的10W间断模式反激DC/DC变换器。ISL6722AEVAL1示范单元引用了此设计且可供测定。输入电压是36V-75V直电流，两个输出是3.3V @ 2.5A和1.8V @ 1.0A。可用两个输出的加权和实现横向调节。

电路元件简介

此变换器的设计可分成下列功能块:

输入存储和滤波电容: C1, C2, C3

隔离变压器: T1

原边电压钳位: CR6, R24, C18

启动偏压调节器: R1, R2, R6, Q3, VR1

运行偏压与调节器: R25, Q2, D1, C5, CR2, D2

主功率 MOSFET: Q1

电流感应网络: R4, R3, R23, C4

反馈网络: R13, R15, R16, R17, R18, R19, R20, R26, R27, C13, C14, U2, U3

控制电路: C7, C8, C9, C10, C11, C12, R5, R6, R8, R9, R10, R11, R12, R14, R22

输出整流和过虑: CR4, CR5, C15, C16, C19, C20, C21, C22

副边的缓冲器: R21, C17

设计标准

选择以下设计要求:

开关频率, F_{sw}: 200kHz

V_{in}: 36 - 75V

V_{out} (1): 3.3V @ 2.5A

V_{out} (2): 1.8V @ 1.0A

V_{out} (偏压): 12V @ 50mA

P_{out}: 10W

效率, Efficiency: 70%

最大占空比, Maximum Duty Cycle, D_{max}: 0.45

变压器设计

反激型变压器的设计是繁琐的且多次重复的过程，要有丰富的经验才可达到满意的效果。这个设计过程有许多折衷之处，对相同的要求/指标，即使经验丰富的设计师也会有不同的设计方案。为了清晰起见，迭代反复设计过程将不在此讨论。

简略的设计过程如下:

- 选择适于此应用的磁心的几何形状。高度, 占位面积, 安装要求, 以及工作环境将会影响到此选择。
- 选择适当磁心的材料 (可能多于一种)。
- 选择适合操作的最大磁通量密度。
- 选择磁心的尺寸大小。磁心体积将取决于磁心结构储存能量的能力, 必须绕的圈数, 和所要的线规。在通常的情况下, 窗口面积 (绕组的空间) 以及功率损耗将会决定最终的选择。对于反激型的变压器, 其储存能量是决定磁心体积的临界系数。磁路的磁心横截面积和气隙的长度决定能量的储存能力。
- 确定适合操作的最大磁通量密度。所允许的磁通密度由工作频率, 磁心材料的选择以及工作环境来决定。初次选择所适当的磁通密度往往是比较困难的。通常一个合意的设计往往是利用了最大的磁通密度, 但是有时也会因为绕线的几何形状而选用较大的磁心。
- 确定原边线圈的圈数。
- 决定匝比。
- 选择每个绕组的线规。
- 确定绕线次序和绝缘材料要求。
- 核实设计。

输入功率: P_{in}=P_{out}/Efficiency = 14.3W (use 15W)

最大导通时间: T_{on(max)} = D_{max}/F_{sw} = 2.25μs

平均输入电流: I_{van(in)} = P_{in}/V_{in(min)} = 0.42A

峰值原边电流:

$$I_{ppk} = \frac{2 \cdot I_{avg}(in)}{F_{SW} \cdot T_{ON(max)}} = 1.87A \quad \text{EQ. 21}$$

最大原边电感:

$$L_{P(max)} = \frac{V_{in(min)} \cdot T_{ON(max)}}{I_{PPK}} = 43.3\mu H \quad \text{EQ. 22}$$

选择适合的原边电感为 40μH。

磁心结构必须可在每个开关周期输送能量到副边以保持特定的输出功率。

$$\Delta w = P_{out} \cdot \frac{V_{out} + V_d}{F_{SW} \cdot V_{out}} \text{ Joules} \quad \text{EQ. 23}$$

式中 Δw 是每个周期转换时所需的能量, V_d 横跨输出整流器的电压降。

带气隙的铁氧体磁心结构的能量储存能力取决于气隙, 可表示为:

$$V_g = A_{eff} \cdot I_g = \frac{2 \cdot \mu_o \cdot \Delta w}{\Delta B^2} \quad m^3 \quad \text{EQ. 24}$$

式中 A_{eff} 是有效的磁心横截面积, 单位为 m^2 ; l_g 是气隙的长度, 单位为米。 μ_0 是真空磁导率 ($4\pi \cdot 10^{-7}$), ΔB 是通量密度的变化, 单位为特斯拉。

较小气隙的磁心结构无法提供足够的输出功率。相反, 若气隙的长度过大, 间隙周围会产生磁场边缘, 且增加气隙体积。通常允许有部分边缘, 但过多的边缘会增加间隙周围的绕组损耗从而导致元件过热。一旦找到适合的磁心与间隙组合, 便开始了迭代反复的设计过程。展开和检验设计以易组装和减少内热。如果磁心没有足够的绕线空间, 则需要一个有较大窗口面积的磁心。若变压器工作时发热, 可用较低通量密度(较多的原边线圈, 较低的工作频率), 选用损耗少的磁心材料, 改变绕组的几何图形(绕线次序), 用粗号线或多重绕线, 或改变所用线状(例如: 绞合线)。

为了简单化, 只对最后部分的设计作更进一步的描述。选择 A_L 值为 25 nH/N^2 的 N87 间隙材料的 EPCOS EFD 20/10/7 磁心, 可有较多的气隙存储能量, 但需有足够的窗口面积。

$$A_{eff} = 31 \cdot 10^{-6} \text{ m}^2$$

$$l_g = 1.56 \cdot 10^{-3} \text{ m}$$

通量密度 ΔB 仅是 0.069T 或 690 高斯 (一个相对较低的值)。

因此

$$L_P = \frac{\mu_0 \cdot N_P^2 \cdot A_{eff}}{l_g} \mu\text{H} \quad \text{EQ. 25}$$

原边线圈的圈数 N_P 可用 EQ.25 计算, 其结果为 $N_P = 40$ 圈。

副边线圈的圈数也可计算如下:

$$N_S \leq \frac{l_g \cdot (V_{out} + V_d) \cdot T_r}{N_P \cdot I_{ppk} \cdot \mu_0 \cdot A_{eff}} \quad \text{EQ. 26}$$

式中 T_r 是磁心复位所需的时间。由于是间断 MMF 模式操作, 在关断期间磁心必须完全复位。要保持间断模式操作, 允许磁心复位的最长时间是 $T_{sw} - T_{on(max)}$, 式中 $T_{sw} = 1/F_{sw}$ 。最小时间取决于应用和设计师根据所知的副边绕线 RMS 和波纹电流对于输出电容应力随复位时间减少而增加而作判断。运用公式 $T = T_{sw} - T_{on(max)} = 2.75\mu\text{s}$, 求得 3.3V 输出的最大副边线圈的圈数 (N_S) 是 5.52 圈。

副边线圈圈数的确定同样取决于输出次数和其所要的匝比。如果采用肖特基输出整流器, 假设其正向电压降为 0.45V , 两个输出电压 3.3V 和 1.8V 所需的线圈比例是 $5:3$ 。

副边绕组的匝比是 $5:3$, 设 $N_{s1} = 5$ 圈和 $N_{s2} = 3$ 圈, 用这些副边线圈数求得复位时间, $T_r = 2.33\mu\text{s}$ 或约 47% 的开关时间, 是一个合意的结果。

偏压绕组线圈同样可计算, 只需用二极管的 0.7V 正向电压降, 便可求出 12V 偏压的线圈数的整数为 17 圈。

接着, 确定线规。原边绕组的 RMS 电流可用下式计算:

$$I_{P(rms)} = I_{ppk} \cdot \sqrt{\frac{T_{on(max)}}{3 \cdot T_{sw}}} \text{ A} \quad \text{EQ. 27}$$

其他绕组的峰值和 RMS 电流值可用下式计算:

$$I_{spk} = \frac{2 \cdot I_{out} \cdot T_{sw}}{T_r} \text{ A} \quad \text{EQ. 28}$$

$$I_{rms} = 2 \cdot I_{out} \cdot \sqrt{\frac{T_{sw}}{3 \cdot T_r}} \text{ A} \quad \text{EQ. 29}$$

原边绕组的 RMS 电流是 0.72A , 3.3V 输出的是 4.23A , 1.8V 输出的是 1.69A , 以及偏压绕组的是 85mA 。

要减少变压器漏感, 原边绕组分成两个截面并行连接, 这样其他的绕组可夹放在中间。配置输出绕组使 3.3V 绕线的分接头为 1.8V 绕线。分接 1.8V 输出需要副边绕组一起传导两个输出的合成电流。副边线规必须据此选择。

电线的电流传输容量的选择是综合考虑了其性能, 体积, 和成本。它受许多设计约束如工作频率(波形的谐波含量) 和绕组邻近 / 几何图形。通常每安培为 250 至 1000 圆密尔。圆密尔 (Circular Mil) 是直径为 0.001 英寸 (1 密尔) 的圆形面积。随着工作频率的增加, 电线的交流 (AC) 电阻也会因表层和邻近效应而增加。用粗号线可减少此效应, 或用多股线并联。有些实例中必需用绞合线。

绕线配置选择是:

原边绕线 #1: 40T , $2 \#30$ (双线)

副边绕线: 5T , 0.003 英寸 (3 密尔) 铜箔接在 3T

偏压绕线: $17\text{T} \#32$

原边绕线 #2: 40T , $2 \#30$ (双线)

内部空间和绝缘系统设计以原边和副边绕组之间的额定为 1500V 直流 (DC) 绝缘负荷

功率 MOSFET 选择

主开关 MOSFET 的选择必需考虑应用中的电压和电流应力, 元件的功率损耗, 体积, 以及其成本。

变换器的输入电压是 $36\text{-}75\text{V}$ 直流 (DC)。由于隔离变压器的原边绕组可能会出现反馈电压, 建议用额定电压为 150V 的 MOSFET。

MOSFET 工作损耗可分成三种类型: 传导, 开关和门极驱动损耗。

传导损耗来自 MOSFET 导通时的阻抗。

$$P_{cond} = r_{DS(ON)} \cdot I_{prms}^2 \text{ W} \quad \text{EQ. 30}$$

式中 $r_{DS(ON)}$ 是 MOSFET 的导通电阻和 I_{prms} 是 RMS 原边电流。传导损耗的确定因热敏 $r_{DS(ON)}$ 随温度变化而变得复杂化。 $r_{DS(ON)}$ 随着结温增加而增加, 损耗也随之而增加。元件可能会发热散如没有适当的热沉。一般 25°C $r_{DS(ON)}$ 的两倍估计产生 125°C 结温的传导损失。

开关损耗有两部分: 电容开关损耗和电压/电流交迭损耗。电容损耗产生于元件导通期间, 可计算如下:

$$P_{swcap} = \frac{1}{2} \cdot C_{fet} \cdot V_{in}^2 \cdot F_{sw} \quad \text{W} \quad \text{EQ. 31}$$

式中 C_{fet} 是 MOSFET 的等效输出电容。数据库中所指的元件输出电容为 C_{oss} , 是非线性于供应电压。利用充电模型式可知等效隔离电容 (C_{fet}), 而用已知的电流源, 并确定 MOSFET 漏极充电至工作电压所需的时间, 则可计算出等效电容。

$$C_{fet} = \frac{I_{chg} \cdot t}{V} \quad \text{F} \quad \text{EQ. 32}$$

其他开关损耗是由于开关转换期间电压与电流交迭而引起的。开关转折产生于 MOSFET 导通和断开时。由于是电感负载, 导通转折期间不存在电压与电流交迭, 所以关键在于关断转折。功率耗散可估计为:

$$P_{SW} = \frac{1}{x} \cdot I_{ppk} \cdot V_{in} \cdot T_{ol} \cdot F_{sw} \quad \text{EQ. 33}$$

式中 T_{ol} 是交迭的时间, 典型应用中的 x 值约为 3-6, 是取决于波形交汇点。因 \cdot 部分的 \cdot 断漏 \cdot 流用于元件 \cdot 出 \cdot 容充 \cdot 而在 \cdot \cdot 周期不会耗散, 可 \cdot 定比 \cdot \cdot 高的估 \cdot 耗散。

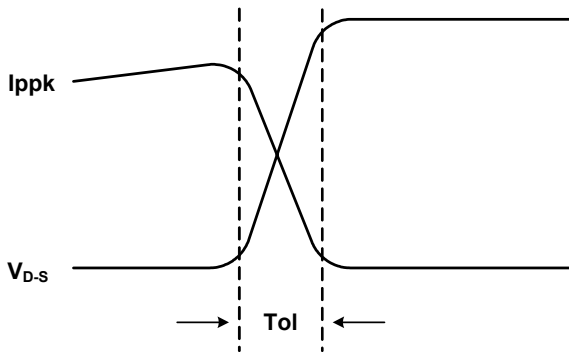


Figure 9

MOSFET 损耗的最后部分门极驱动损失是经由元件门极电阻充电到门极电容而引起。取决于门极驱动电路所有外部电阻的相对值, 部分功率会在表层耗散。

$$P_{gate} = Q_g \cdot V_g \cdot F_{sw} \quad \text{W} \quad \text{EQ. 34}$$

一旦确知损耗, 必须选择元件组合和设计热沉法。由于此设计需要小的平面式安装配件, 可选择 SOIC-8 组件。根据这些标准可选择 Fairchild FDS2570 MOSFET。总损耗估计为 400mW。

输出滤波器选择

在反激型设计中, 输出滤波的设计关键是电容电流波纹的应力和输出波纹与噪音的规格。

绕组电流与输出电流间的输出电容的电流流入和流出之差。3.3V 输出的峰值副边电流 (I_{spk}) 为 10.73A, 1.8V 输出的为 4.29A。绕组电流和输出电流流入输出滤波器电容的电流是不同的。这样峰值绕组电流减去 2.5A 的输出电流, 3.3V 输出电容的电容必须能储存 8.23A, 其 RMS 波纹电流大约为 3.5Arms, 1.8V 输出电容的 RMS 波纹电流大约为 1.4Arms。

开关周期间的电压偏差(波纹和噪音)是决定于输出电容电荷, 等效串联电阻 (ESR), 以及等效串联电感(ESL)的变化。这些组元件各自产生部分波纹和噪音, 而每个元件影响的大小取决于所采用的电容。

为了便于讨论我们假设下列各项:

- 3.3V 输出: 100mV 总输出波纹和噪音
 - 等效串联电阻, ESR: 60mV
 - 电容, Capacitor ΔQ : 10mV
 - 等效串联电感, ESL: 30mV
- 1.8V 输出: 50mV 总输出波纹和噪音
 - 等效串联电阻, ESR: 30mV
 - 电容电荷 ΔQ : 5mV
 - 等效串联电感, ESL: 15mV

对于 3.3V 输出而言:

$$ESR \leq \frac{\Delta V}{I_{spk} - I_{out}} = \frac{0.060}{10.73 - 2.5} = 7.3m\Omega \quad \text{EQ. 35}$$

因输出电容电荷变化(ΔQ)而变化的电压决定了所需的输出电容量。

$$C \geq \frac{(I_{spk} - I_{out}) \cdot T_r}{2 \cdot \Delta V} = \frac{(10.73 - 2.5) \cdot 2.33 \times 10^{-6}}{2 \cdot 0.01} = 960\mu\text{F} \quad \text{EQ. 36}$$

ESL 附加的波纹和噪音电压与电容的电流变化率成正比例 ($V = L \cdot di/dt$)。

$$L \leq \frac{V \cdot dt}{di} = \frac{0.030 \cdot 200 \times 10^{-9}}{10.73} = 0.56nH \quad \text{EQ. 37}$$

大容量电容往往没有足够低的 ESL。高频电容如平面式安装的陶瓷或薄膜电容与大容量电容并联以确定 ESL 的效应。高频和高波纹电容合并可达到理想的综合性能。1.8V 输出的分析类似于 3.3V 输出, 为简化予以省略。3.3V 和 1.8V 输出可选择两个 OSCON 4SEP560M (560 μF) 电解电容和一个 22 μF X5R, 型号 1210 的陶瓷电容。每个 4SEP560M 电解电容额定波纹电流为 4520mA 和 ESR 为 13m Ω 。仅一个电容的波纹电流额定已足够, 但需两个使 ESR 和电容量达到最小化。

低功率和低电流的偏压对其滤波电容应力是微不足道。可选择 一个 0.1μF 的单片陶瓷电容。

控制环路设计

反馈控制环路的主要元件包含有一个可调式分流调节器，光耦合器以及 ISL6722A 的内置反相放大器。光耦合器可以用来传送误差信号越过隔离障碍。光耦合器为隔离障碍信息传输提供了可行的方法，但是在一定程度上为反馈控制设计带来复杂性。它不仅在 10KHz 加了一个极点并且由于电流传输比产生很大的增益变化。光耦合器的电流传输比会随初时容差，温度，正向电流以及时效而变化。

图 10 是反馈控制环路的架构。

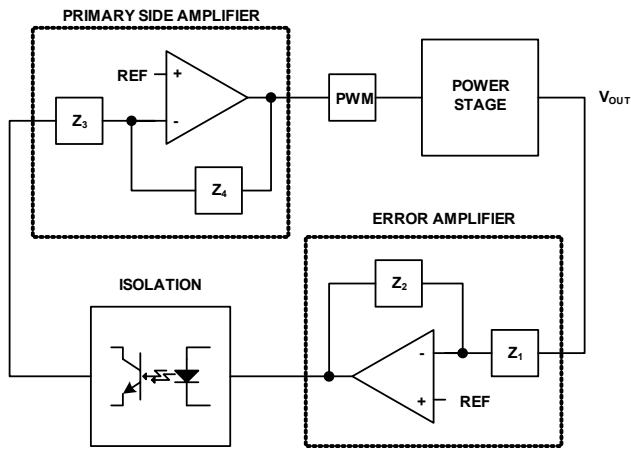


Figure 10

环路补偿被置于转换器的副边误差放大器 (EA) 的周围。内置于控制器的原边放大器被用作整体增益放大器并不提供环路补偿。以备在某种工作条件下转换器会进入持续导电模式 2 型误差放大器配置被选用。

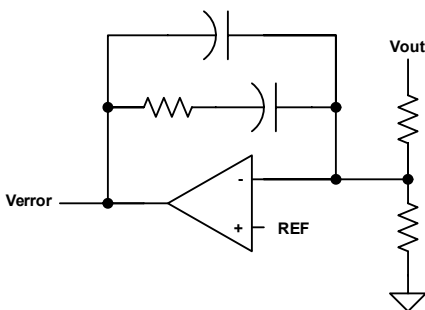


Figure 11 TYPE 2 ERROR AMPLIFIER

研发电流控制模式的小信号模式具有相应的复杂性。特选的方法 [1] 可以精确地预视环路的性能。为了进一步简化分析，这个转换器将被模仿成单独的输出供应，并且所有的输出电容被反射到 3.3V 的输出边。一旦这个“单独”的输出供应系统被补偿，基于实际的环路测量，将会对环路作出必要的调整。

第一个设定的参数是峰值电流反馈环路增益。由于这是一个低功耗的应用，电流反馈信号可以用与功率开关 MOSFET 源极串联的电阻来取样。对于较高功率的应用，适合使用电流感应变压器，因为电阻将会引起过多的损耗。

由于必须提供过流保护，电流环路的调节只具备一定的灵活性。过流临界和电流环路增益是由电流感应电阻以及 ISET 临界值来决定。ISET 设置为 1.0V 接近于最大值，用来减少噪音效果。当选择 ISET 值时必须考虑控制器内的 ISENSE 信号内部增益及其偏压。最大原边峰值电流已经由前面的计算中得知为 1.87A，所以选用 2.25A 的原边峰值过流临界是可以理解的。电流增益值，A_{EXT}，等于 0.5V/A，可以用来取得以上的选择。

$$I_{SET} = 2.25 \cdot 0.8 \cdot 0.5 + 0.100 = 1.00V \quad \text{EQ. 38}$$

控制到输出的传输功能可以用 [2] 来表达，

$$\frac{V_o}{V_c} = K \cdot \sqrt{\frac{R_o \cdot L_s \cdot F_{SW}}{2}} \cdot \frac{1 + \frac{s}{\omega_z}}{1 + \frac{s}{\omega_p}} \quad \text{EQ. 39}$$

如果我们忽视电流反馈抽样数据的影响，

$$K = \frac{I_{spk(max)}}{V_{c(max)}}$$

R_o = 负载电阻

L_s = 副边电感

$$\omega_p = \frac{2}{R_o \cdot C_o} \quad \text{Or} \quad f_p = \frac{1}{\pi \cdot R_o \cdot C_o}$$

$$\omega_z = \frac{1}{R_c \cdot C_o} \quad \text{Or} \quad f_z = \frac{1}{2\pi \cdot R_c \cdot C_o}$$

C_o = 输出电容

R_c = 输出电容 ESR

V_{c(max)} = 控制电压范围

K 值可以根据假设所有的输出功率是在过流临界时 3.3V 的输出功率来决定。根据以前的计算可允许的最大功率是 15W，所以，

$$I_{spk(max)} = \frac{2 \cdot \frac{P_{out}}{V_{out}} \cdot T_{sw}}{T_r} = \frac{2 \cdot \frac{15}{3.3} \cdot 5 \times 10^{-6}}{2.33 \times 10^{-6}} = 19.5A$$

$$V_{c(max)} = V_{ISENSE} \cdot A_{EXT} \cdot A_{CS} \cdot \frac{1}{A_{COMP}} = 2.93V$$

A_{EXT} 是电流反馈网络的外置增益，A_{CS} 是控制器内置增益，A_{COMP} 是在误差放大器和 PWM 比较器之间的增益。

II 型误差放大器配置具备 2 个极点和 1 个零点。第一个极点是在原点，并提供导致精确 DC 调整率的积分特性。参考典型应用电路图，剩下的极点和零点被置于以下位置：

$$f_{PC} = \frac{C_{13} + C_{14}}{2 \cdot \pi \cdot R_{15} \cdot C_{14} \cdot C_{13}} \approx \frac{1}{2 \cdot \pi \cdot R_{15} \cdot C_{14}} \quad \text{EQ. 40}$$

$$f_{ZC} = \frac{1}{2 \cdot \pi \cdot R_{15} \cdot C_{13}} \quad \text{EQ. 41}$$

R15 与 R17 和 R18 并联阻值的比例将决定误差放大器中频宽带的增益。

$$A_{midband} = \frac{R_{15} \cdot (R_{17} + R_{18})}{R_{17} \cdot R_{18}} \quad \text{EQ. 42}$$

从等式 27 可以看出控制到输出的传输功能频率将会随负载，输出电容值，以及输出电容的 ESR 而变化。在补偿控制环路时这些变化必须被考虑进去。转换器的最差小信号工作条件发生在最小输入电压，最大负载，最大输出电容以及最小 ESR。

对于频宽越大的转换器，一个能在整个工作范围内都能保持稳定的设计方案是很难实现的。基本方法是限制频宽至 1/4 的开关频率。在这于例子里，由于以 LM431 为基准的误差放大器有较低的 GBWP 以及光耦合器的使用，频宽将被继续限制。5KHz 频宽将被采用。

对于误差放大器的补偿，第一个极点放在原点(C14 是积分电容)。第一个零点放在低于交界频率，通常在 1/3 的 f_{CO} 。第二个极点可以放在较低的 ESR 零点频率或开关频率的 1/2。中频程的增益可以由此调节去获得所需的交界频率。如果允许相位余量不是相当充分，交界频率可以继续变小。

用以上的方法来决定补偿，以下是为误差放大器作补偿的元件：

R17 = R18 = R15 = 1KΩ

R20 = Open

C13 = 100nF

C14 = 100pF

以下是闭环系统在低输入，最大负载时的波德图。

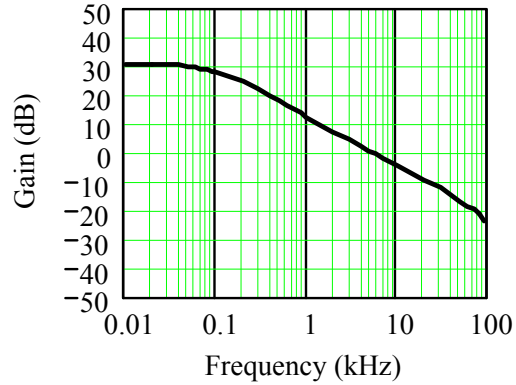


Figure 12A GAIN

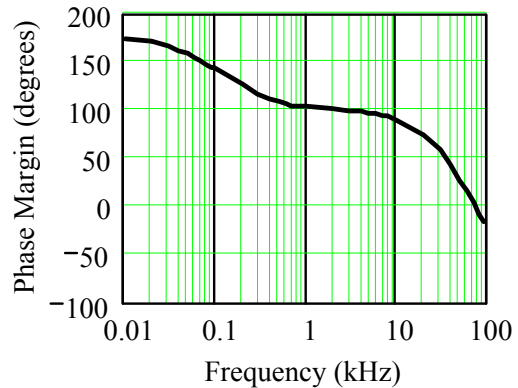


Figure 12B PHASE MARGIN

输出负载调整率性能

TABLE1. OUPUT LOAD REGULATION, $V_{IN} = 48V$

IOUT (A), 3.3V	IOUT (A), 1.8V	VOUT (V), 3.3V	VOUT (V), 1.8V
0	0.03	3.351	1.825
0.39	0.03	3.281	1.956
0.88	0.03	3.251	1.988
1.38	0.03	3.223	2.014
1.87	0.03	3.204	2.029
2.39	0.03	3.185	2.057
2.89	30	3.168	2.084
3.37	0.03	3.153	2.103
0	0.52	3.471	1.497
0.39	0.52	3.283	1.8
0.88	0.52	3.254	1.836
1.38	0.52	3.233	1.848
1.87	0.52	3.218	1.855
2.39	0.52	3.203	1.859
2.89	0.52	3.191	1.862
0	1.05	3.619	1.347
0.39	1.05	3.29	1.73
0.88	1.05	3.254	1.785
1.38	1.05	3.235	1.805
1.87	1.05	3.22	1.814
2.39	1.05	3.207	1.82
0	1.55	3.699	1.265
0.39	1.55	3.306	1.682
0.88	1.55	3.26	1.75
1.38	1.55	3.239	1.776
1.87	1.55	3.224	1.789
0	2.07	3.762	1.201
0.39	2.07	3.329	1.645
0.88	2.07	3.27	1.722
1.38	2.07	3.245	1.752
0	2.62	3.819	1.142
0.39	2.62	3.355	1.612
0.88	2.62	3.282	1.697
0	3.14	3.869	1.091
0.39	3.14	3.383	1.581

波型

从图 13 至 15 里可以找到典型的波型。这些波型是从 ISL6721EVA1 评估板上得到，有包括一些典型具有代表性的然而与 ISL622A 无关的同步波型。图 13 是在稳定操作时锯齿振荡器在 RTCT 引脚的波型 (Trace 2), SYNC 引脚的波型 (Trace 1), 以及门极输出至转换器 FET (Trace 3)。图 14 是转换器在过流故障保护时的运行状态。Trace 1 是 0V 到 4.5V 软启动的电压, 4.5V 正是过流故障保护功能的生效点。当过流时软启动电容被放电至过流故障的临界值, 4.375V, 控制器会进入故障停机状态。Trace 2 是当故障停机时, 时序时钟电容电压的状态。在故障发生时大部分 IC 的功能会进入省电状态, 振荡器也不例外。在故障发生时, IC 被关闭直到重启延迟被中止。在延迟后电源回复, IC 也重新开始正常工作。Trace 3 是在软启动和过流故障时的门极驱动输出。

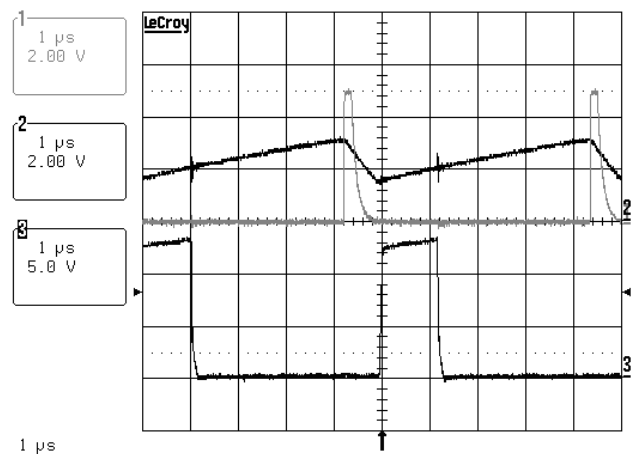


Figure 13 TYPICAL WAVEFORMS

NOTE:

- Trace 1: SYNC Output
- Trace 2: RTCT Sawtooth
- Trace 3: GATE Output

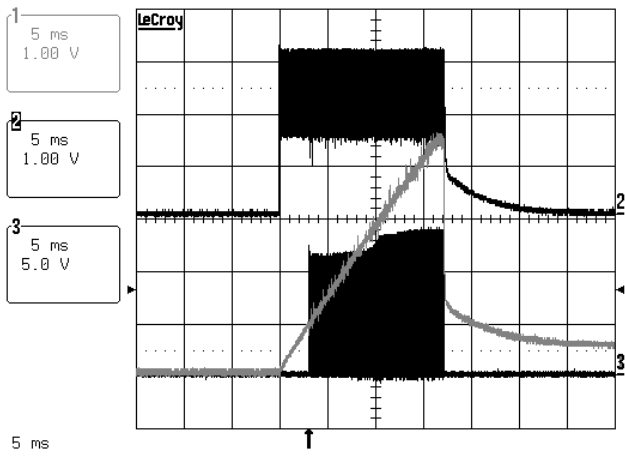


Figure 14 SOFT-START WITH OVERCURRENT FAULT

NOTE:

- Trace 1: SS
- Trace 2: RTCT Sawtooth
- Trace 3: GATE Output

图 15 是在稳态运行时开关 FET 的波形。Trace 1 是漏-源极电压, Trace 2 是门-源电压。

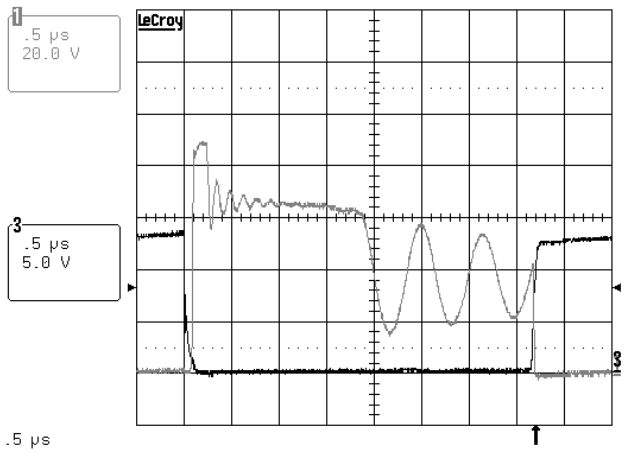


Figure 15 GATE AND DRAIN-SOURCE WAVEFORMS

NOTE:

- Trace 1: V_{D-S}
- Trace 3: V_{G-S}

元件表

REFERENCE DESIGNATOR	VALUE	DESCRIPTION
C1, C2, C3	1.0 μ F	Capacitor, 1812, X7R, 100V, 20%
C5, C13	0.1 μ F	Capacitor, 0603, X7R, 25V, 10%
C15, C16, C19, C20	560 μ F	Capacitor, Radial, SANYO 4SEP560M
C17	470pF	Capacitor, 0603, COG, 50V, 5%
C18	0.01 μ F	Capacitor, 0805, X7R, 50V, 10%
C21, C22	22 μ F	Capacitor, 1210, X5R, 10V, 20%
C4, C14	100pF	Capacitor, 0603, COG, 50V, 5%
C6	1500pF	Capacitor, Disc, Murata DE1E3KX152MA5BA01
C7		Zero Ohm Jumper, 0603
C8	330pF	Capacitor, 0603, COG, 50V, 5%
C9, C10, C11, C12	0.22 μ F	Capacitor, 0603, X7R, 16V, 10%
CR2, CR6		Diode, Fairchild ES1C
CR4, CR5		Diode, IR 12CWQ03FN
D1		Zener, 18V, Zetex BZX84C18
D2		Diode, Schottky, BAT54C
Q1		FET, Fairchild FDS2570
Q2		Transistor, Zetex FMMT491A
Q3		Transistor, ON MJD31C
R1, R2	1.00K	Resistor, 1206, 1%
R10	20.0K	Resistor, 0603, 1%
R7, R9, R11, R26, R27	10.0K	Resistor, 0603, 1%
R12	38.3K	Resistor, 0603, 1%
R13, R15, R17, R18, R19, R25	1.00K	Resistor, 0603, 1%
R14	10	Resistor, 0603, 1%
R16	165	Resistor, 0603, 1%
R21	10	Resistor, 1206, 1%
R22	5.11	Resistor, 0603, 1%
R24	3.92K	Resistor, 2512, 1%
R3, R23	100	Resistor, 0603, 1%
R4	1	Resistor, 2512, 1%
R5	221K	Resistor, 0603, 1%
R6	75.0K	Resistor, 0603, 1%
R8, R20		OMIT
T1		Transformer, MIDCOM 31555
U2		Opto-coupler, NEC PS2801-1
U3		Shunt Reference, National LM431BIM3
U4		PWM, Intersil ISL6722AABZ
VR1		Zener, 15V, Zetex BZX84C15

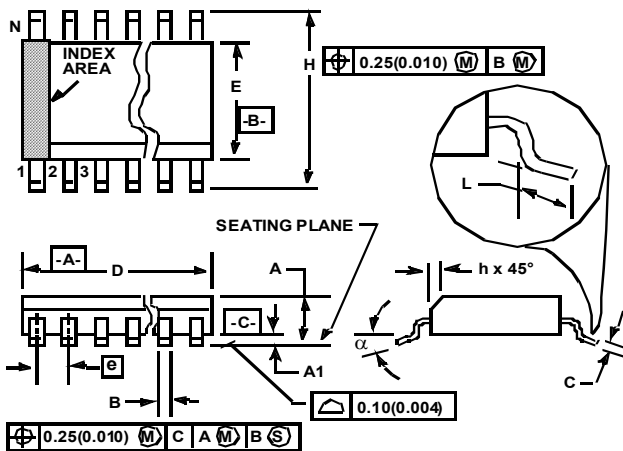
参考・料

[1] Ridley, R., "A New Continuous-Time Model for Current Mode Control", IEEE Transactions on Power Electronics, Vol. 6, No. 2, April 1991.

[2] Dixon, Lloyd H., "Closing the Feedback Loop", Unitrode Power Supply Design Seminar, SEM-700, 1990.

Small Outline Plastic Packages (SOIC)

M16.15 (JEDEC MS-012-AC ISSUE C)
16 LEAD NARROW BODY SMALL OUTLINE PLASTIC PACKAGE



SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	0.0532	0.0688	1.35	1.75	-
A1	0.004	0.0098	0.10	0.25	-
B	0.013	0.020	0.33	0.51	9
C	0.0075	0.0098	0.19	0.25	-
D	0.3859	0.3937	9.80	10.00	3
E	0.1497	0.1574	3.80	4.00	4
e	0.050 BSC		1.27 BSC		-
H	0.2284	0.244	5.80	6.20	-
h	0.0099	0.0196	0.25	0.50	5
L	0.016	0.050	0.40	1.27	6
N	16		16		7
α	0°	8°	0°	8°	-

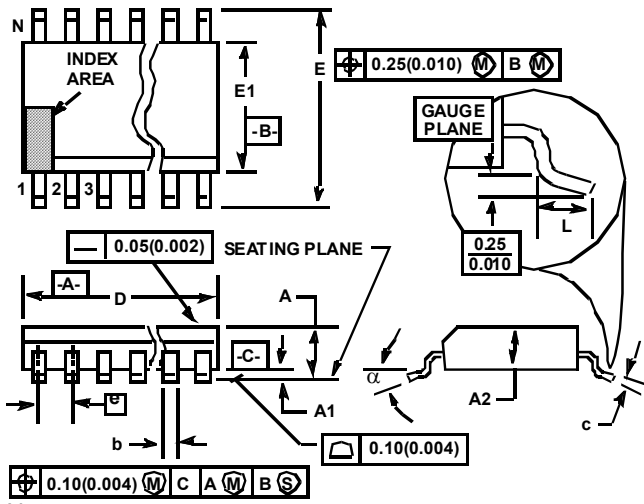
1. Symbols are defined in the "MO Series Symbol List" in Section 2.2 of Publication Number 95.
2. Dimensioning and tolerancing per ANSI Y14.5M-1982.
3. Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusion and gate burrs shall not exceed 0.15mm (0.006 inch) per side.
4. Dimension "E" does not include interlead flash or protrusions. Interlead flash and protrusions shall not exceed 0.25mm (0.010 inch) per side.
5. The chamfer on the body is optional. If it is not present, a visual index feature must be located within the crosshatched area.
6. "L" is the length of terminal for soldering to a substrate.
7. "N" is the number of terminal positions.
8. Terminal numbers are shown for reference only.
9. The lead width "B", as measured 0.36mm (0.014 inch) or greater above the seating plane, shall not exceed a maximum value of 0.61mm (0.024 inch).
10. Controlling dimension: MILLIMETER. Converted inch dimensions are not necessarily exact.

Rev.1 6/05

Thin Shrink Small Outline Plastic Packages (TSSOP)

M16.173A

16 LEAD THIN SHRINK SMALL OUTLINE PLASTIC PACKAGE



Notes:

1. These package dimensions are within allowable dimensions of JEDEC MO-153-AB, Issue E.
2. Dimensioning and tolerancing per ANSI Y14.5M-1982.
3. Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusion and gate burrs shall not exceed 0.15mm (0.006 inch) per side.
4. Dimension "E1" does not include interlead flash or protrusions. Interlead flash and protrusions shall not exceed 0.15mm (0.006 inch) per side.
5. The chamfer on the body is optional. If it is not present, a visual index feature must be located within the crosshatched area.
6. "L" is the length of terminal for soldering to a substrate.
7. "N" is the number of terminal positions.
8. Terminal numbers are shown for reference only.
9. Dimension "b" does not include dambar protrusion. Allowable dambar protrusion shall be 0.08mm (0.003 inch) total in excess of "b" dimension at maximum material condition. Minimum space between protrusion and adjacent lead is 0.07mm (0.0027 inch).
10. Controlling dimension:MILLIMETER. Converted inch dimensions are not necessarily exact. (Angles in degrees).

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	-	0.043	-	1.10	-
A1	0.002	0.006	0.05	0.15	-
A2	0.033	0.037	0.85	0.95	-
b	0.0075	0.012	0.19	0.30	9
c	0.0035	0.008	0.09	0.20	-
D	0.193	0.201	4.90	5.10	3
E1	0.169	0.177	4.30	4.50	4
e	0.026 BSC		0.65 BSC		-
E	0.246	0.256	6.25	6.50	-
L	0.020	0.028	0.50	0.70	6
N	16		16		7
α	0°	8°	0°	8°	-

Rev.1 2/02

All Intersil U.S. products are manufactured, assembled and tested utilizing ISO9000 quality systems.

Intersil Corporation's quality certifications can be viewed at www.intersil.com/design/quality.

Intersil products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design, software and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and reliable. However, no responsibility is assumed by Intersil or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.

For information regarding Intersil Corporation and its products, see www.intersil.com